


FUNCTION UNIT FOR IC CARD

Patent number: JP4025497 (A)
Publication date: 1992-01-29
Inventor(s): MATSUMOTO HIROSHI +
Applicant(s): CASIO COMPUTER CO LTD +
Classification:

Also published as:

 JP3278845 (B2)

- international: B42D15/10; G06K17/00; G06K19/07; G06K19/077; B42D15/10;
 G06K17/00; G06K19/07; G06K19/077; (IPC1-7): B42D15/10;
 G06K19/07

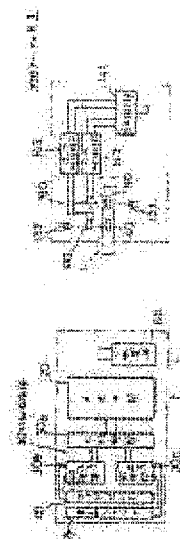
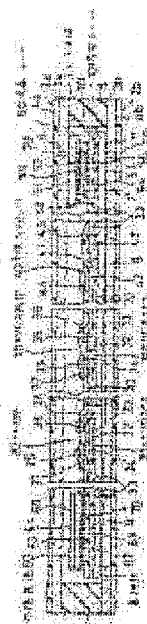
- european:

Application number: JP19900129320 19900521

Priority number(s): JP19900129320 19900521

Abstract of JP 4025497 (A)

PURPOSE: To reduce manufacturing cost considerably by forming a large number of thin film transistors constituting a memory part and a control circuit part on a base plate and a thin film photosensor for light signal entry and exit and a liquid crystal shutter thereon. **CONSTITUTION:** A metal film (m) is deposited entirely over a base plate 11. The metal film (m) is patterned to simultaneously shape source electrodes 26 and 36 and drain electrodes 27 and 37 for TFT 21 for memory use and TFT 31 for control use and a pair of electrodes 43 and 44 for a thin film photosensor 40 and the memory TFT 21, the control TFT 31 and n-type semiconductor layers 25, 35 and 42 of the thin film photosensor 40 are patterned into the same shape as the electrodes 26, 27, 36, 37, 43 and 44, respectively, to simultaneously complete the memory TFT 21, the control TFT 31 and the thin film photosensor 40. A protective insulating film 70 is deposited entirely over the base plate 11 to cover the memory TFT 21, the control TFT 31 and the thin film photosensor 40 and a liquid crystal shutter 50 is formed on the protective insulating film 70.



Data supplied from the **espacenet** database — Worldwide

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-25497

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)1月29日

B 42 D 15/10
G 06 K 19/07

5 2 1

6548-2C

6711-5L G 06 K 19/00

H

審査請求 未請求 請求項の数 2 (全10頁)

⑭ 発明の名称 ICカード用機能ユニット

⑮ 特 願 平2-129320

⑯ 出 願 平2(1990)5月21日

⑰ 発 明 者 松 本 広 東京都八王子市石川町2951番地の5 カシオ計算機株式会社
八王子研究所内

⑱ 出 願 人 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号

明 細 書

1. 発明の名称

ICカード用機能ユニット

2. 特許請求の範囲

(1) ICカードに内蔵される機能ユニットにおいて、基板上に、メモリ部を構成する多数の薄膜トランジスタと制御回路部を構成する多数の薄膜トランジスタとを形成するとともに、前記基板上に、光信号入出用の薄膜フォトセンサと液晶シャッタとを形成したことを特徴とするICカード用機能ユニット。

(2) 薄膜フォトセンサは、メモリ部と制御回路部を構成する薄膜トランジスタを形成した基板上に半導体層と一対の電極とを積層して構成され、液晶シャッタは、前記薄膜トランジスタを形成した基板と、この基板に枠状のシール材を介して接着した対向基板との間に液晶を封入して構成されていることを特徴とする請求項1に記載のICカード用機能ユニット。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はICカード用機能ユニットに関するものである。

〔従来の技術〕

ICカードは、ICカードとのデータの授受を行なうターミナル装置から入力される暗証番号等の識別データの判別機能や、前記ターミナル装置から入力される取引データの記憶機能等を備えたもので、このICカードは、カード本体内に、前記ターミナル装置とのデータの授受およびデータ判別やデータの記憶を行なう機能ユニットを収納した構成となっている。

このICカードに内蔵される機能ユニットとしては、従来、プリント配線板上に前記ターミナル装置側のカードコンタクト部に接触する入出力端子を設けるとともに、このプリント配線板上に、暗証番号等の識別データや取引データ等を記憶するメモリ部と、ターミナル装置との間のデータ入出力の制御およびターミナル装置から入力される

識別データの判別や前記メモリ部へのデータの書き込みおよび読出し等を行なう制御回路部とを構成した集積回路チップを、その各端子をプリント配線板上の各配線にボンディングして取付けた構造のものが知られており、この機能ユニットは、その入出力端子をカード本体の表面に設けた開口部から外部に露出させてカード本体内に収納されている。

〔発明が解決しようとする課題〕

しかしながら、前記従来の機能ユニットは、集積回路チップを用いたものであるため、集積回路チップの価格が高く、また前記プリント配線板への集積回路チップの取付けも面倒であるという問題をもっており、したがって前記従来の機能ユニットは、その製造コストが高くて、これがICカードの価格を低減できない要因となっていた。しかも、前記従来の機能ユニットは、プリント配線板上にターミナル装置側のカードコンタクト部に接触する入出力端子を設け、この入出力端子を介してターミナル装置との間のデータの入出力を行

なうものであるため、前記入出力端子がターミナル装置側のカードコンタクト部との接触の繰返しにより磨耗して接触不良を発生するおそれがあり、そのために、ターミナル装置とのコンタクトの繰返しに対するデータ入出力部の耐久性および信頼性も低いという問題をもっていた。

本発明はこのような実情にかんがみてなされたものであって、その目的とするところは、製造コストを大幅に低減し、かつターミナル装置とのコンタクトの繰返しに対するデータ入出力部の耐久性および信頼性も向上させたICカード用機能ユニットを提供することにある。

〔課題を解決するための手段〕

本発明のICカード用機能ユニットは、基板上に、メモリ部を構成する多数の薄膜トランジスタと制御回路部を構成する多数の薄膜トランジスタとを形成するとともに、前記基板上に、光信号入出用の薄膜フォトセンサと液晶シャッタとを形成したことを特徴とするものである。

この機能ユニットにおいては、前記薄膜フォト

センサを、メモリ部と制御回路部を構成する薄膜トランジスタを形成した基板上に半導体層と一対の電極とを積層して構成し、前記液晶シャッタを、前記薄膜トランジスタを形成した基板と、この基板に枠状のシール材を介して接着した対向基板との間に液晶を封入して構成するのが望ましい。

〔作用〕

すなわち、本発明のICカード用機能ユニットは、基板上に多数の薄膜トランジスタを形成して、これら薄膜トランジスタによりメモリ部と制御回路部を構成するとともに、このメモリ部と制御回路部を構成する薄膜トランジスタを形成した基板上に、光信号入出用の薄膜フォトセンサおよび液晶シャッタとを形成して、ターミナル装置との間のデータの入出力を光信号によって行なうようにしたものである。

この機能ユニットによれば、メモリ部と制御回路部を、基板上にゲート電極とゲート絶縁膜と半導体層とソース電極およびドレイン電極とを積層する製法で容易にかつ低コストに形成できる薄膜

トランジスタで構成しているため、前記メモリ部および制御回路部を安価に形成できるし、また、薄膜トランジスタで構成されたメモリ部および制御回路部は基板上にあるため、メモリ部と制御回路部を構成した集積回路チップを用いている従来の機能ユニットのように集積回路チップをプリント配線板に取付ける必要もない。しかも、この機能ユニットでは、ターミナル装置との間のデータの入出力を、薄膜フォトセンサおよび液晶シャッタにより光信号で行なうようにしているため、ターミナル装置との間のデータの入出力を無接触で行なうことができるから、従来の機能ユニットのように入出力端子がターミナル装置側のカードコンタクト部との接触の繰返しにより磨耗して接触不良を発生することもない。したがって、この機能ユニットによれば、その製造コストを大幅に低減し、かつターミナル装置とのコンタクトの繰返しに対するデータ入出力部の耐久性および信頼性も向上させることができる。

また、この機能ユニットにおいて、前記薄膜フ

フォトセンサを、メモリ部と制御回路部を構成する薄膜トランジスタを形成した基板上に半導体層と一対の電極とを積層して構成すれば、薄膜フォトセンサを前記薄膜トランジスタの形成工程を利用して低コストに形成できるし、また前記液晶シャッタを、前記薄膜トランジスタを形成した基板と、この基板に枠状のシール材を介して接着した対向基板との間に液晶を封入して構成すれば、この液晶シャッタもその一方の基板を前記薄膜トランジスタを形成した基板で兼用して低コストに形成することができる。

〔実施例〕

以下、本発明の一実施例を図面を参照して説明する。

第1図はこの実施例の機能ユニットを内蔵したICカードの断面図である。

まず、このICカードの概略的な構成を説明すると、このICカードは、カード本体1内に機能ユニット10を収納したもので、カード本体1は、ステンレス鋼等の金属薄板からなるベースシート

3a、3bの外面に外装フィルム4a、4bをラミネートした上下一対のシート部材2a、2bをその外周縁部に沿う枠状のスペーサ5を介して接着して構成されており、上側シート部材2aのベースシート3aには、機能ユニット10の液晶シャッタ50部分に対応する透光窓6が開口され、下側シート部材2bのベースシート3bには、機能ユニット10の液晶シャッタ50部分と薄膜フォトセンサ40部分および太陽電池60部分にそれぞれ対応する透光窓7、8、9が開口されている。なお、上側シート部材2aおよび下側シート部材2bの外装フィルム4a、4bはそれぞれ透明樹脂フィルムからなっており、上側シート部材2aの外装フィルム4aには前記透光窓6部分を除いて化粧印刷が施され、下側シート部材2bの外装フィルム4bには前記透光窓7、8、9部分を除いて化粧印刷が施されている。また、このカード本体1内に収納された機能ユニット10は、その裏面を前記下側シート部材2bのベースシート3bに図示しない接着剤により接着してカード

本体1内に固定されている。

この実施例の機能ユニット10の構成を説明すると、第2図は機能ユニット10のブロック回路図であり、この機能ユニット10は、暗証番号等の識別データや取引データ等を記憶するメモリ部20と、ICカード機能を制御する制御回路部30と、光信号入出用の薄膜フォトセンサ40および液晶シャッタ50と、これらの電源としての太陽電池60とを備えている。

前記薄膜フォトセンサ40および液晶シャッタ50は、ICカードとのデータの授受を行なう第3図に示したターミナル装置100との間のデータの入出力を光信号によって行なうもので、この薄膜フォトセンサ40および液晶シャッタ50は、ICカードをターミナル装置100に挿入したときに、ターミナル装置100側の出力用液晶シャッタ110および入力用フォトセンサ120と対向する。なお、ターミナル装置100には、ICカード側の（機能ユニット10の）液晶シャッタ50に光を入射させる入力側光源131と、ター

ミナル装置100側の液晶シャッタ110に光を入射させる出力側光源132とが設けられており、前記入力側光源131からの光はICカード側の液晶シャッタ50により断続する光信号とされてターミナル装置100側の入力用フォトセンサ120に受光され、出力側光源132からの光はターミナル装置100側の液晶シャッタ110により断続する光信号とされてICカード側の薄膜フォトセンサ40に受光されるようになっている。

また、前記機能ユニット10の制御回路部30は、主制御部30aと入力制御部30bおよび出力制御部30cとからなっており、入力制御部30bは薄膜フォトセンサ40に接続され、出力制御部30cは液晶シャッタ50に接続されている。また、主制御部30aは、前記ターミナル装置100から薄膜フォトセンサ40および入力制御部30bを介して入力される暗証番号等の識別データとメモリ部20の記憶データとの比較判別や、メモリ部20へのデータ（取引データ等）の書込みおよび読出し等を行なうもので、この主制

御部30aにおいて実行された識別データの判別結果等は、出力制御部30cに送られ、出力制御部30cは、主制御部30aからの出力データに応じて液晶シャッタ50の光透過および遮断を制御する。

なお、前記ターミナル装置100には、第3図に示すように、主制御部141と入力制御部142および出力制御部143が設けられており、主制御部141は、図示しないキーボード等から入力された暗証番号等の識別データや取引データ等を入力制御部142に送って出力用液晶シャッタ110の光透過および遮断を制御させ、また入力用フォトセンサ120および入力制御部142を介しておよび入力されるデータ（ICカードからの出力データ）を判別する。

次に、前記機能ユニット10の具体的な構成を説明する。

この機能ユニット10は、第1図に示すように、ガラス板からなる透明な基板11の上に、前記メモリ部20を構成する多数のメモリ用薄膜トラン

ジスタ（以下メモリ用TFTという）21と、制御回路部30（主制御部30aと入力制御部30bおよび出力制御部30c）を構成する多数の薄膜トランジスタ（以下制御用TFTという）31とを形成するとともに、前記基板11の上に、前記薄膜フォトセンサ40と液晶シャッタ50および太陽電池60を形成したものである。なお、第1図では、メモリ部20を構成するメモリ用TFT21と、制御回路部30を構成する制御用TFT31をそれぞれ1つずつだけ図示したが、このメモリ用TFT21および制御用TFT31は、それぞれ多数個基板11上に形成されて、メモリ部20および制御回路部30を構成している。

前記メモリ部20を構成するメモリ用TFT21は、基板11上に形成されたゲート電極22と、このゲート電極22の上に形成された電荷蓄積機能をもつゲート絶縁膜23と、このゲート絶縁膜23の上に形成されたi型半導体層24と、このi型半導体層24の両側部の上にそれぞれn型半導体層25を介して形成されたソース電極26お

よびドレイン電極27とからなる逆スタガー型薄膜トランジスタであり、このメモリ用TFT21は、そのゲート電極22およびソース、ドレイン電極26、27と一体に形成した多数本のアドレスラインとデータライン（図示せず）の各交差部に形成されてメモリアレイを構成している。

また、前記制御回路部30を構成する制御用TFT31は、基板11上に形成されたゲート電極32と、このゲート電極32の上に形成されたゲート絶縁膜（電荷蓄積機能をもたない絶縁膜）33と、このゲート絶縁膜33の上に形成されたi型半導体層34と、このi型半導体層34の両側部の上にそれぞれn型半導体層35を介して形成されたソース電極36およびドレイン電極37とからなる逆スタガー型薄膜トランジスタであり、この制御用TFT31は、基板11上に他数個形成され、そのゲート電極32およびソース、ドレイン電極36、37と一体に形成した回路配線（図示せず）により互いに接続されて制御回路を構成している。

なお、前記メモリ用TFT21と制御用TFT31のi型半導体層24、35はそれぞれi型のアモルファス・シリコンまたはポリ・シリコンで形成されており、n型半導体層25、35はそれぞれn型不純物をドーブしたn型のアモルファス・シリコンまたはポリ・シリコンで形成されている。また、メモリ用TFT21のゲート絶縁膜23は、窒素原子Nに対するシリコン原子Siの組成比を化学量論比（ $Si/N=0.75$ ）より多くして電荷蓄積機能をもたせた窒化シリコン（ Si_3N_4 ）で形成されており、制御用TFT31のゲート絶縁膜33は、化学量論比とはほぼ同じ組成比の窒化シリコンで形成されている。また、メモリ用TFT21のゲート絶縁膜23はゲート電極22の上だけにこのゲート電極22と同一パターンに形成されており、制御用TFT31のゲート絶縁膜33は、メモリ用TFT21のゲート絶縁膜23部分を除いて、基板11の全面に形成されている。なお、この制御用TFT31のゲート絶縁膜33は透明膜である。

一方、前記薄膜フォトセンサ40は、基板11の全面に形成されている前記ゲート絶縁膜33の上に、前記制御用TF T 31のi型半導体層34と同じ半導体(アモルファス・シリコンまたはポリ・シリコン)からなるi型半導体層41を形成し、このi型半導体層41の両側部の上にそれぞれ、制御用TF T 31のn型半導体層35と同じ半導体からなるn型半導体層42を介して一対の電極43、44を形成した構造となっている。この薄膜フォトセンサ40は、基板11の下面側からゲート絶縁膜(透明膜)33を通してi型半導体層41に入射する光を受けて出力動作するものであり、この薄膜フォトセンサ40の一対の電極43、44は、この電極43、44および前記制御用TF T 31のソース、ドレイン電極36、37と一体に形成した図示しない接続ラインにより前記制御回路部30の入力制御部30bに接続されている。

なお、前記メモリ回路20を構成するメモリ用TF T 21および制御回路部30を構成する制御

用TF T 31と、前記薄膜フォトセンサ40とは、基板11の全面にわたって形成した透明な保護絶縁膜70で覆われている。

また、前記液晶シャッタ50は、前記メモリ用TF T 21および制御用TF T 31と薄膜フォトセンサ40とを形成した基板11を一方の基板とし、この一方の基板(以下、下基板という)11と、この下基板11に枠状のシール材52を介して接着したガラス板からなる透明な対向基板(以下、上基板という)51との間に液晶53を封入して構成されている。また、前記下基板11と上基板51の対向面にはそれぞれ透明な電極54、55が形成されており、さらに両基板11、51の電極形成面には配向膜56、57が形成されている。なお、前記下基板11側の下部電極54および配向膜56は、この基板11上に形成されている前記ゲート絶縁膜33とその上に形成された保護絶縁膜70(いずれも透明膜)との積層膜の上に形成されている。また、この液晶シャッタ50は、TN(ツイステッド・ネマティック)型

のもので、両基板11、51間に封入された液晶53の分子は両基板11、51間においてはほぼ90°のツイスト角でツイスト配向され、また両基板11、51の外面にはそれぞれ偏光板58、59が貼着されている。この液晶シャッタ50は、両基板11、51の電極54、55間に印加される電界による液晶分子の配向状態の変化によって光を透過および遮断するもので、下基板11側の下部電極54はこの基板11上に形成した前記制御用TF T 31で構成された制御回路部30の出力制御部30cに接続され、また上基板51側の上部電極55は図示しないリード線によって前記出力制御部30cに接続されている。なお、この液晶シャッタ50の一方の基板、例えば下基板11側の下部電極54は、液晶シャッタ50の長さ方向に分割されて個々に選択駆動されるようになっており、したがって、この液晶シャッタ50は、分割された電極数と同じ数の光信号を同時に射出する。

また、前記太陽電池60は、前記メモリ用

TF T 21および制御用TF T 31と薄膜フォトセンサ40とを形成した基板11の上(この基板11上に形成されているゲート絶縁膜33とその上に形成された保護絶縁膜70との積層膜の上)に、前記液晶シャッタ50の下基板11側の下電極54と同じ透明導電膜からなる透明な下部電極61を形成し、この下部電極61の上にn型半導体層62を介してi型半導体層63を形成するとともに、このi型半導体層63の上にp型半導体層64を介して上部電極65を形成して構成されている。なお、前記i型半導体層63はi型アモルファス・シリコンで形成され、n型半導体層62およびp型半導体層64はn型およびp型のアモルファス・シリコンで形成されており、またこのi型半導体層63とn型半導体層62およびp型半導体層64と上部電極65は全て同一パターンに形成されている。この太陽電池60は、基板11の下面側からゲート絶縁膜33および保護絶縁膜70を通して入射する光を受けて発電するものであり、前記下部電極61は前記メモリ部

20および制御回路部30に接続され、上部電極65は図示しないリード線によって接地ラインに接続されている。なお、この太陽電池60は、基板11側からの入射光によって発電するものであるから、基板11側の下部電極61が透明であればよく、上部電極65は不透明電極でよい。

第4図は前記機能ユニット10の製造方法を工程順に示したもので、この機能ユニット10は次のようにして製造される。

まず、第4図(A)に示すように、基板11上に、クロム等の金属膜を堆積させてこの金属膜をパターニングする方法により、メモリ部20および制御部30を構成するメモリ用TFT21および制御用TFT31のゲート電極22、32を同時に形成する。なお、このとき、メモリ用TFT21のゲート電極22がつながるアドレスライン(図示せず)と、制御用TFT31のゲート電極32がつながる回路配線(図示せず)も同時に形成する。

次に、第4図(B)に示すように、前記基板

11上に、メモリ用TFT21のゲート絶縁膜(電荷蓄積機能をもつ窒化シリコン膜)23と、i型半導体層(i型のアモルファス・シリコンまたはポリ・シリコン層)24と、n型半導体層(n型アモルファス・シリコンまたはポリ・シリコン層)25とを順次堆積させる。

次に、第4図(C)に示すように、前記n型半導体層25とi型半導体層24とゲート絶縁膜23とをメモリ用TFT21の素子形状にパターニングし、メモリ用TFT21の形成部分を除く基板11面を露出させる。

次に、第4図(D)に示すように、前記基板11上にその全面にわたって制御用TFT31のゲート絶縁膜(電荷蓄積機能をもたない窒化シリコン膜)33を堆積させ、その上に、制御用TFT31と薄膜フォトセンサ40のi型半導体層24、41とその上のn型半導体層25、42となるi型とn型の半導体層(アモルファス・シリコンまたはポリ・シリコン層)i、nとを順次堆積させる。

次に、第4図(E)に示すように、前記n型とi型の半導体層n、iを制御用TFT31および薄膜フォトセンサ40の素子形状にパターニングして、制御用TFT31と薄膜フォトセンサ40のi型半導体層24、41とn型半導体層25、42とを同時に形成する。

次に、第4図(F)に示すように、前記制御用TFT31のゲート絶縁膜33のうち、メモリ用TFT21のn型半導体層25上に堆積した部分をエッチングして除去し、メモリ用TFT21のn型半導体層25の上面を露出させる。なお、このゲート絶縁膜33のエッチングは、弗酸系水溶液をエッチング液として行なえばよく、この弗酸系水溶液によれば、前記n型半導体層25にダメージを与えることなく、その上のゲート絶縁膜33をエッチングすることができる。

次に、第4図(G)に示すように、基板11上の全域に、メモリ用TFT21と制御用TFT31のソース電極26、36およびドレイン電極27、37と、薄膜フォトセンサ40の一对の電

極43、44となるクロム等の金属膜mを堆積させる。

次に、第4図(H)に示すように、前記金属膜mをパターニングして、メモリ用TFT21と制御用TFT31のソース電極26、36およびドレイン電極27、37と、薄膜フォトセンサ40の一对の電極43、44とを同時に形成するとともに、メモリ用TFT21と制御用TFT31および薄膜フォトセンサ40のn型半導体層25、35、42をそれぞれ前記各電極26、27、36、37、43、44と同じ形状にパターニングして、メモリ用TFT21と、制御用TFT31と、薄膜フォトセンサ40とを同時に完成する。このとき、メモリ用TFT21のソース、ドレイン電極26、27がつながるデータライン(図示せず)と、制御用TFT31のソース、ドレイン電極36、37がつながる回路配線(図示せず)および、薄膜フォトセンサ40の一对の電極43、44と制御回路部30の入力制御部30bとを接続する接続ライン(図示せず)も前

記金属膜mによって同時に形成し、多数のメモリ用TFT21で構成されるメモリ部20と、多数の制御用TFT31で構成される制御回路部30を同時に完成する。

次に、第4図(I)に示すように、基板11上の全域に、メモリ用TFT21および制御用TFT31と薄膜フォトセンサ40とを覆う保護絶縁膜70を堆積させ、さらにその上に、液晶シャッタ50の下部電極54および太陽電池60の下部電極61となるITO等の透明導電膜tを堆積させる。

次に、第4図(J)に示すように、前記透明導電膜tをパターニングして液晶シャッタ50の下部電極54と太陽電池60の下部電極61とを同時に形成する。

次に、第4図(K)に示すように、太陽電池60を形成する。この太陽電池60は、上面に下部電極61が形成されている保護絶縁膜70の上に、n型半導体層62と、i型半導体層63と、p型半導体層64と、上部電極(アルミニウム等

の金属膜)65とを順次堆積させ、この堆積膜を順次同一形状にパターニングする方法で形成する。

次に、第4図(L)に示すように、液晶シャッタ50を形成する。この液晶シャッタ50は、保護絶縁膜70の上に形成されている下部電極61の上に配向膜56を形成した後、前記保護絶縁膜70の上に枠状シール材52を印刷し、その上に、別工程で上部電極55および配向膜57を形成した上基板(対向基板)51を接着するとともに、枠状シール材52で囲まれた液晶封入領域に液晶53を真空注入法で注入し、さらに基板11と上基板51の外面に偏光板58、59を貼着して形成する。

この後は、前記液晶シャッタ50の下部電極54の端子部を前記制御用TFT31で構成された制御回路部30の出力制御部30cに接続し、上部電極55を図示しないリード線によって前記出力制御部30cに接続するとともに、前記太陽電池60の下部電極61の端子部を前記メモリ部20および制御回路部30に接続し、上部電極

65を図示しないリード線により接地ラインに接続して機能ユニット10を完成する。なお、前記接地ラインは、図示しないが、メモリ用TFT21および制御用TFT31のゲート電極22、32の形成時、またはこれらTFT21、31のソース、ドレイン電極26、27、36、37および薄膜フォトセンサ40の電極43、44の形成時に同時に形成するか、あるいは太陽電池60の上部電極65の形成時に同時に形成する。

しかして、この機能ユニット10によれば、メモリ部20と制御回路部30を、基板上にゲート電極とゲート絶縁膜と半導体層とソース電極およびドレイン電極とを積層する製法で容易にかつ低コストに形成できる薄膜トランジスタ(メモリ用TFTと制御用TFT)21、31で構成しているため、前記メモリ部20および制御回路部30を安価に形成できるし、また、薄膜トランジスタで構成されたメモリ部20および制御回路部30は基板11上にあるため、メモリ部と制御回路部を構成した集積回路チップを用いている従来の機

能ユニットのように集積回路チップをプリント配線板に取付ける必要もない。しかも、この機能ユニット10では、ターミナル装置100との間のデータの入出力を、薄膜フォトセンサ40および液晶シャッタ50により光信号で行なうようにしているため、ターミナル装置100との間のデータの入出力を無接触で行なうことができるから、従来の機能ユニットのように入出力端子がターミナル装置側のカードコンタクト部との接触の繰返しにより磨耗して接触不良を発生することもない。したがって、この機能ユニット10によれば、その製造コストを大幅に低減し、かつターミナル装置100とのコンタクトの繰返しに対するデータ入出力部の耐久性および信頼性も向上させることができる。

また、前記実施例では、前記薄膜フォトセンサ40を、メモリ部20と制御回路部30を構成する薄膜トランジスタ21、31を形成した基板11上にi型半導体層41およびn型半導体層42と一対の電極43、44とを積層して構成し

ているため、この薄膜フォトセンサ40を前記薄膜トランジスタ21、31の形成工程を利用して低コストに形成できるし、また前記液晶シャッタ50を、前記薄膜トランジスタ21、31を形成した基板11と、この基板11に枠状のシール材52を介して接着した対向基板51との間に液晶53を封入して構成しているため、この液晶シャッタ50もその一方の基板(下基板)を前記薄膜トランジスタ21、31を形成した基板11で兼用して低コストに形成することができる。

さらに、前記実施例では、電源としての太陽電池60を前記薄膜トランジスタ21、31を形成した基板11上に形成するとともに、この太陽電池60の基板を前記薄膜トランジスタ21、31を形成した基板11で兼用するとともに、この基板11上に形成する下部電極61を前記液晶シャッタ50の下部電極54と同じ透明導電膜で形成しているから、この太陽電池60も低コストに形成することができる。

なお、前記実施例では、液晶シャッタ50およ

び太陽電池60の下部電極54、61を、前記基板11上に形成したゲート絶縁膜(制御用TFT31のゲート絶縁膜)33と保護絶縁膜70との積層膜の上に形成しているが、この液晶シャッタ50および太陽電池60の下部電極54、61は、その形成領域の前記ゲート絶縁膜33と保護絶縁膜70とを除去して、前記基板11上に直接形成してもよい。

また、前記実施例では、液晶シャッタ50の一方の基板および薄膜フォトセンサ40と太陽電池60の基板を薄膜トランジスタ21、31を形成した基板11で兼用しているが、この液晶シャッタ50および薄膜フォトセンサ40と太陽電池60は、それぞれ独立した素子として製造して前記基板11上に取付けてもよい。

さらに前記実施例では、電源に太陽電池60を用いているが、この電源としては、他の薄型電池を用いても、あるいは太陽電池60と前記薄型電池とを併用してもよい。

(発明の効果)

本発明のICカード用機能ユニットによれば、メモリ部と制御回路部を、基板上にゲート電極とゲート絶縁膜と半導体層とソース電極およびドレイン電極とを積層する製法で容易にかつ低コストに形成できる薄膜トランジスタで構成しているため、前記メモリ部および制御回路部を安価に構成できるし、また、薄膜トランジスタで構成されたメモリ部および制御回路部は基板上にあるため、メモリ部と制御回路部を構成した集積回路チップを用いている従来の機能ユニットのように集積回路チップをプリント配線板に取付ける必要もない。しかも、この機能ユニットでは、ターミナル装置との間のデータの入出力を、薄膜フォトセンサおよび液晶シャッタにより光信号で行なうようにしているため、ターミナル装置との間のデータの入出力を無接触で行なうことができるから、従来の機能ユニットのように入出力端子がターミナル装置側のカードコンタクト部との接触の繰返しにより磨耗して接触不良を発生することもない。した

がって、この機能ユニットによれば、その製造コストを大幅に低減し、かつターミナル装置とのコンタクトの繰返しに対するデータ入出力部の耐久性および信頼性も向上させることができる。

また、この機能ユニットにおいて、前記薄膜フォトセンサを、メモリ部と制御回路部を構成する薄膜トランジスタを形成した基板上に半導体層と一对の電極とを積層して構成すれば、薄膜フォトセンサを前記薄膜トランジスタの形成工程を利用して低コストに形成できるし、また前記液晶シャッタを、前記薄膜トランジスタを形成した基板と、この基板に枠状のシール材を介して接着した対向基板との間に液晶を封入して構成すれば、この液晶シャッタもその一方の基板を前記薄膜トランジスタを形成した基板で兼用して低コストに形成することができる。

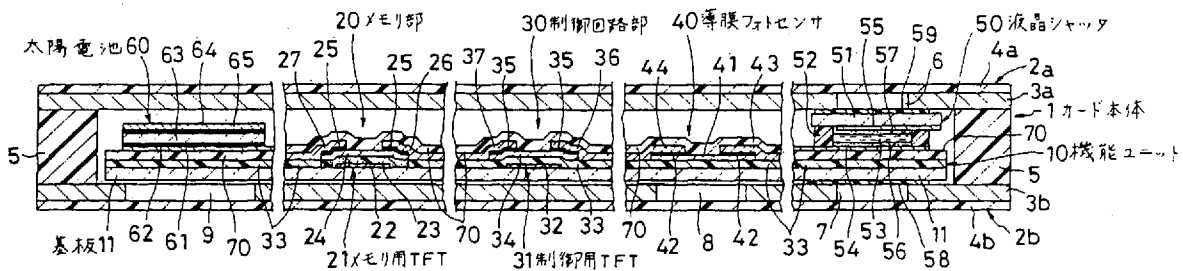
4. 図面の簡単な説明

第1図～第4図は本発明の一実施例を示したもので、第1図は機能ユニットを内蔵したICカードの断面図、第2図は機能ユニットのブロック回

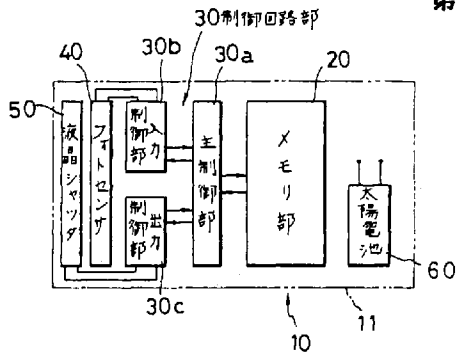
路図、第3図はICカードとターミナル装置との間のデータ入出力状態を示す図、第4図は機能ユニットの製造工程図である。

1…カード本体、10…機能ユニット、11…基板、20…メモリ部、21…メモリ用TFT、22…ゲート電極、23…ゲート絶縁膜、24…i型半導体層、25…n型半導体層、26…ソース電極、27…ドレイン電極、30…制御回路部、31…制御用TFT、32…ゲート電極、33…ゲート絶縁膜、34…i型半導体層、35…n型半導体層、36…ソース電極、37…ドレイン電極、40…薄膜フォトセンサ、41…i型半導体層、42…n型半導体層、43、44…電極、50…液晶シャッタ、51…対向基板、52…シール材、53…液晶、54、55…電極、56、57…配向膜、58、59…偏光板、60…太陽電池、61…下電極、62…n型半導体層、63…i型半導体層、64…n型半導体層、65…上電極、70…保護絶縁膜。

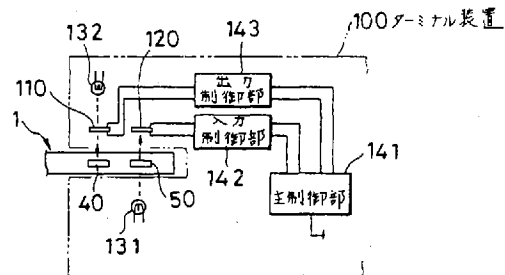
出願人 カシオ計算機株式会社



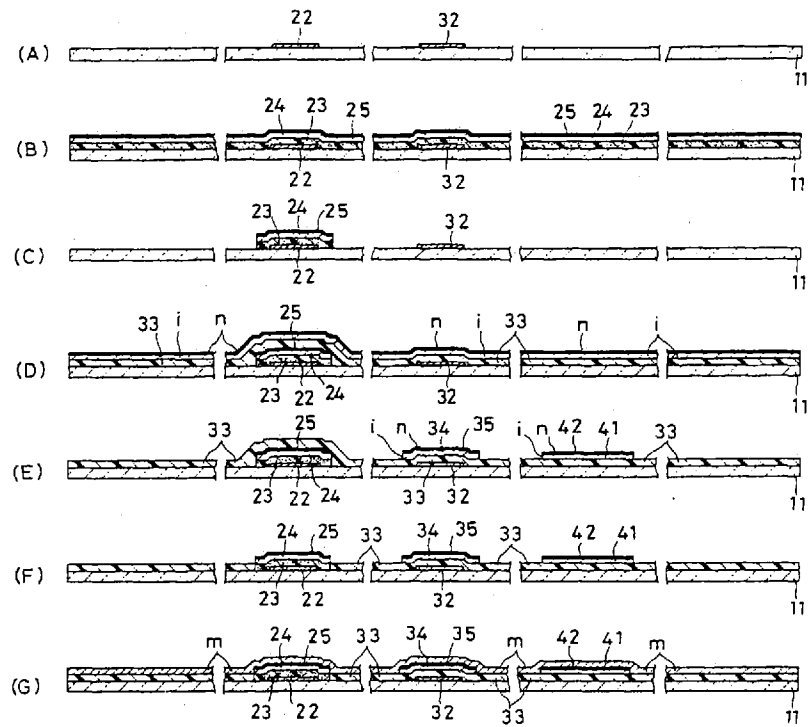
第1図



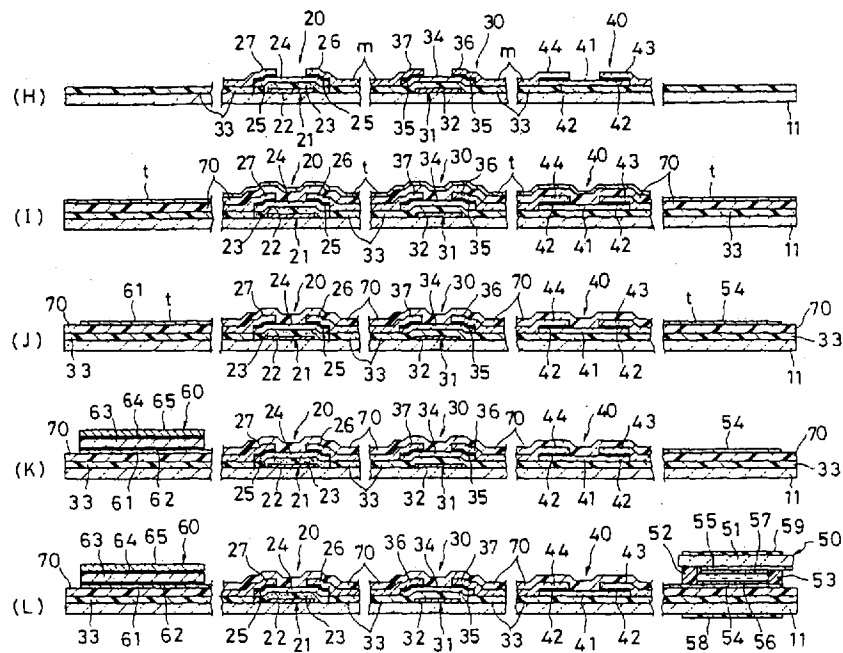
第2図



第3図



第 4 図



第 4 図